

#2 4/16/02
B.L

J1050 U.S. PTO
10/066172
01/30/02

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 6813 호
Application Number PATENT-2001-0006813

출원년월일 : 2001년 02월 12일
Date of Application FEB 12, 2001

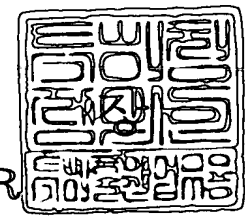
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 년 08 월 31 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0002 |
| 【제출일자】 | 2001.02.12 |
| 【발명의 명칭】 | 강유전체 기억 소자 및 그 형성 방법 |
| 【발명의 영문명칭】 | FERROELECTRIC MEMORY DEVICE AND METHOD OF FORMING THE SAME |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 임창현 |
| 【대리인코드】 | 9-1998-000386-5 |
| 【포괄위임등록번호】 | 1999-007368-2 |
| 【대리인】 | |
| 【성명】 | 권혁수 |
| 【대리인코드】 | 9-1999-000370-4 |
| 【포괄위임등록번호】 | 1999-056971-6 |
| 【발명자】 | |
| 【성명의 국문표기】 | 김기남 |
| 【성명의 영문표기】 | KIM,KI NAM |
| 【주민등록번호】 | 580414-1273118 |
| 【우편번호】 | 449-900 |
| 【주소】 | 경기도 용인시 기흥읍 농서리 산24번지 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 송윤종 |
| 【성명의 영문표기】 | SONG,YOON JONG |
| 【주민등록번호】 | 711012-1182718 |
| 【우편번호】 | 449-900 |
| 【주소】 | 경기도 용인시 기흥읍 농서리 산24번지 |
| 【국적】 | KR |

1020010006813

출력 일자: 2001/9/1

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

| | | | | |
|----------|----|---|---------|---|
| 【기본출원료】 | 20 | 면 | 29,000 | 원 |
| 【가산출원료】 | 19 | 면 | 19,000 | 원 |
| 【우선권주장료】 | 0 | 건 | 0 | 원 |
| 【심사청구료】 | 24 | 항 | 877,000 | 원 |
| 【합계】 | | | 925,000 | 원 |

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

여기에 개시되는 발명은 강유전체 기억 소자 및 그 형성 방법에 관한 것으로서, 절연막 내에 매몰된 콘택 구조를 통해 강유전체 커패시터의 하부전극이 트랜지스터의 소스 영역에 전기적으로 접속하는 방법 및 그에 따른 강유전체 커패시터 구조를 제공한다. 특히, 매몰된 콘택 구조는 비트라인을 형성할 때에 동시에 형성되고, 또한 그 상부에는 산소 확산방지막이 형성되어 상기 매몰 콘택 구조가 상기 산소확산방지막으로 완전히 캡슐화된다. 따라서, 산소를 완전히 차단하게 된다. 또한, 텅스텐으로 비트라인 및 매몰 콘택 구조가 형성되기 때문에 하부전극 및 매몰 콘택 구조 계면에 이산화 실리콘이 형성되는 것을 원천적으로 방지할 수 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

강유전체 기억 소자 및 그 형성 방법{FERROELECTRIC MEMORY DEVICE AND METHOD OF FORMING THE SAME}

【도면의 간단한 설명】

도 1은 종래 방법에 따른 강유전체 기억 소자 구조를 개략적으로 나타내는 반도체 기판의 부분 단면도;

도 2는 본 발명의 바람직한 실시예에 따른 강유전체 기억 소자 구조를 개략적으로 나타내는 반도체 기판의 부분 단면도;

도 3a 내지 도 3j는 도 2의 강유전체 기억 소자를 형성하는 방법을 공정 순서에 따라 순차적으로 보여주는 반도체 기판의 단면도.

* 도면의 주요 부분에 대한 부호의 설명

200:반도체기판 202:소자분리영역

204:트랜지스터 206a, 206b:드레인, 소스 영역

208, 216, 230:충간절연막 210a, 210b, 218:콘택홀

212a:비트라인 212b:매몰 콘택 구조

214:산소확산방지막 220:커패시터 하부전극

222:강유전체막 224:커패시터 상부전극

226:강유전체 커패시터 228:확산방지막

232:제1배선 234:배선간절연막



1020010006813



출력 일자: 2001/9/1

236:비아홀 238:제2배선

240:절연막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 강유전체 기억 소자 및 그 형성 방법에 관한 것으로서, 좀 더 상세하게는 매몰된 콘택 구조에 강유전체 커패시터가 접속되는 강유전체 기억 소자 및 그 형성 방법에 관한 것이다.

<16> 현대의 데이터 처리 시스템은 메모리에 저장된 정보에 대한 빠른 접근(access)을 위해서는 수시로(random) 접근이 가능하여야 한다. 반도체 산업에 있어서 기억 소자는 빠른 동작 속도를 요구하며 이러한 상황으로 인해 강유전체 기억 소자(ferroelectric random access memory:이하 'FRAM'이라 한다)에 대한 연구가 활발히 이루어 졌다. 주지하는 바와 같이, FRAM은 비휘발 특성을 가지고 있는데, 이러한 비휘발 특성은 커패시터 전극들 사이에 강유전체막을 구비하고 있어서 가능하다. 강유전체막은 서로 다른 두 개의 안정된 분극 상태를 가지는데, 인가된 전압에 대해 분극 상태를 나타내는 그래프에서 잘 알려진 특징적인 히스테레시스(hysteresis) 루프로 나타내어진다.

<17> 상술한 바와 같이 FRAM은, 플래시메모리(flash memory) 같이 비휘발 특성, 상대적으로 낮은 동작 전압(약 5V이하), 월등한 동작속도(수십 nsec), 낮은 소비

전력으로 동작이 가능한 장점을 가지고 있다. 그러나 이러한 뛰어난 특성을 기억 소자 제품으로써 충분히 활용하기 위해서는 고집적화를 이루어야 한다.

<18> DRAM(dynamic random access memory) 처럼, FRAM 또한 트랜지스터와 커패시터(강유전체 유전막 사용, 강유전체 커패시터)를 포함하며, 강유전체 커패시터는 트랜지스터와 전기적으로 연결되어야 한다. 이러한 연결은 다음과 같은 방법으로 되어진다. 첫 번째의 방법은 금속을 이용한 국소적 상호연결(local interconnection) 방법이다. 일 예로 미국 특허 번호 제 5,119,154호가 여기에 참조로 개시된다. 다른 방법은, 폴리실리콘 같은 도전성 물질을 이용한 콘택플러그를 통해 트랜지스터의 소스 영역과 강유전체 커패시터를 연결하는 방법이다. 고집적 FRAM을 위해서는 단위 셀을 최소화하는 것이 필요하므로, 국소적 상호연결 방법은 고집적 FRAM에 적합하지 않다.

<19> 따라서, 콘택플러그를 통한 연결 방법이 고집적 FRAM에 널리 적용되고 있다. 미국 특허 번호 제 5,854,104호 및 제 5,591,663호 등이 여기에 참조로 개시되는데, 트랜지스터의 소스 영역이 콘택플러그를 통해 커패시터에 연결되는 방법을 제안하고 있다.

<20> 도 1은 종래 콘택플러그를 통한 강유전체 커패시터와 트랜지스터의 연결에 따른 강유전체 기억 소자를 개략적으로 도시하고 있다.

<21> 도시된 바와 같이 종래 기술에 따른 강유전체 기억 소자는, 반도체 기판(100) 상에 드레인 영역(106a), 소스 영역(106b) 및 게이트 전극(참조번호 미표시)으로 이루어진 트랜지스터(104)가 배치된다. 상기 트랜지스터(104) 및 상기 반도체 기판(100) 상에 평탄한 제1층간절연막(108)이 배치되고, 상기 제1층간절



연막(108)의 소정 부분을 통해 상기 트랜지스터(104)의 상기 드레인 영역(106a)에 전기적으로 접속되는 비트라인(112)이 상기 제1층간절연막(108) 상에 배치된다. 상기 제1층간절연막(108) 및 상기 비트라인(112) 상에 제2층간절연막(114)이 배치되고, 상기 제2층간절연막(114) 및 상기 제1층간절연막(108)의 소정 부분을 뚫고 형성된 콘택홀(118) 내에 콘택 플러그(119)가 형성되어 있다. 상기 콘택 플러그(119)에 전기적으로 접속하도록 상기 제2층간절연막(114) 상에 강유전체 커패시터(126)가 배치되고, 상기 강유전체 커패시터(126)를 포함하여 상기 제2층간절연막(114) 상에 제3층간절연막(128)이 배치되어 있다. 종래 기술에 따르면, 상기 제2층간절연막(114) 및 상기 제1층간절연막(108)내에 형성된 상기 콘택 플러그(119)를 통해 상기 강유전체 커패시터(126)가 상기 소스 영역(106b)에 전기적으로 연결된다.

<22> 따라서, 도시된 바와 같이, 종래 방법의 경우 상기 콘택플러그(119)를 형성하기 위해서는 먼저 두꺼운 층간절연막 108(약 4000Å 에서 약 6000Å) 및 114(약 3000Å 에서 약 5000Å)를 식각하여 콘택홀(118)을 형성하여야 한다. 고집적화에 따라 형성되는 콘택홀의 직경이 점점 줄어들고 있으며 이로 인한 콘택홀의 종횡비는 점점 증가하고 있어 좁고 깊은 콘택홀을 식각해야 하는 어려움이 있다. 예를 들어 콘택홀이 완전히 열리지 못하게 되거나, 파식각으로 인한 소스 영역의 손실 등의 문제점이 발생할 수 있다.

<23> 또한 이러한 좁고 깊은 콘택홀을 도전물질로 채워야 하는데 전기 전도성이 우수한 텅스텐 등으로 완전히 채우기는 매우 어려우며 따라서 증착 특성이 좋은

폴리실리콘으로 콘택홀을 채우고 있다. 따라서 텅스텐에 비해 상대적으로 저항 측면에서는 불리하다.

<24> 다시 도1을 참조하여 설명하면, 폴리실리콘으로 콘택홀(118)을 채운 후 콘택플러그를 형성하기 위해 층간절연막 114가 노출될 때까지 평탄화 공정을 진행한다. 콘택플러그(119)를 형성한 후 커패시터 하부전극(120), 강유전체막(122) 및 상부전극(124)을 형성하고 패터닝하여 상기 콘택플러그(119)에 전기적으로 접속하는 강유전체 커패시터(126)를 형성한다.

<25> 따라서, 폴리실리콘 콘택플러그(119)와 하부전극(120)이 접촉하는 면적은 콘택홀(118) 직경에 좌우되며, 고집적화로 인해 콘택홀 직경은 점점 작아지고 있어 하부전극 및 콘택플러그 사이의 안정적인 콘택 저항확보가 매우 어렵게되며 안정적인 콘택 저항 확보가 중요한 관심사가 된다.

<26> 게다가, 주지하는 바와 같이, 강유전체막 형성 공정은 강유전체 물질을 증착한 후 고온 산소 분위기에서 열처리를 공정을 수행하여 결정 상태 즉 페로브스카이트(perovskite) 강유전체 결정 상태로 전환해야 한다. 이러한 산소 분위기의 결정화 열처리는 높은 온도 약 550℃ 이상의 온도를 필요로 한다. 또한 반도체 집적 공정은 여러 공정 단계에서 산소 분위기에서의 열처리를 필요로 한다. 이러한 산소 분위기의 열처리 공정은, 폴리실리콘 콘택플러그 및 하부전극 사이의 계면에 얇은 절연성막(예를 들면 이산화 실리콘)을 형성하고, 이로 인해 접촉 저항 특성을 불량하게 하는 콘택장애 (contact failure)를 유발하게 되고 콘택플러그 및 하부전극 사이의 양호한 콘택 저항 확보를 더욱 더 어렵게 한다.

<27> 결론적으로 종래 폴리실리콘 콘택플러그 공정을 도입한 강유전체 커패시터 공정은, 소자의 집적도 향상과 안정적인 콘택 저항 확보 양자 모두를 동시에 만족시킬 수 없으며, 콘택플러그 공정 또한 여러 문제점을 가지고 있다.

【발명이 이루고자 하는 기술적 과제】

<28> 따라서 본 발명은 상술한 제반 문제점을 해결하기 위해 제안 된 것으로서, 강유전체 기억 소자에 있어서, 집적도 향상과 안정적인 콘택 저항 확보를 동시에 가능케 하는 강유전체 기억 소자 및 그 제조 방법을 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

<29> (구성)

<30> 본 발명의 특징은 매몰된 콘택 구조를 통해서 강유전체 커패시터 하부전극을 트랜지스터의 소스 영역에 전기적으로 연결시키는 점에 있다. 이때, 상기 매몰된 콘택 구조는 비트라인 형성 시에 동시에 형성되어 공정의 단순화를 기할 수 있다. 또한, 상기 매몰된 콘택 구조 상에 산소확산방지막을 형성하여 이를 완전히 캡슐화함으로써, 후속 고온 산소분위기의 열처리에서 콘택 구조 내로 산소가 침투하는 것을 방지한다. 더 나아가서, 상기 매몰 콘택 구조가 비트라인과 동일한 물질, 예를 들어, 텅스텐으로 형성되면, 종래 폴리실리콘 콘택플러그 상에 형성되었던 이산화 실리콘 같은 절연막은 근본적으로 생성되지 않는다. 또한 콘택 구조의 상부가 콘택홀의 직경보다 상대적으로 더 크기 때문에, 커패시터와 접촉하는 면적이 종래 콘택플러그와 비교해서 상대적으로 증가하게 된다.

- <31> 또한 매몰 콘택 구조로 인해 종래 폴리실리콘 콘택플러그 공정에 비해 매몰 콘택 구조 형성을 위한 콘택홀의 종횡비는 감소하게 된다.
- <32> 더 구체적으로 상술한 본 발명의 목적을 달성하기 위한 강유전체 기억 소자 형성 방법은, 반도체 기판 상에 트랜지스터를 형성한다. 상기 트랜지스터 및 상기 반도체 기판 상에 상부가 평탄한 제1층간절연막을 형성한다. 상기 제1층간절연막 상에 상기 트랜지스터의 소스 및 드레인 영역에 각각 전기적으로 접속하는 매몰 콘택 구조 및 비트라인을 형성한다. 상기 매몰 콘택 구조 및 비트라인이 형성된 결과물 전면에 산소확산방지막을 형성한다. 이로써, 상기 매몰 콘택 구조 및 비트라인은 상기 산소확산방지막으로 완전히 캡슐화된다. 상기 산소확산방지막 상에 상부가 평탄한 제2층간절연막을 형성한다. 그리고 상기 제2층간절연막 상에 상기 매몰 콘택 구조에 전기적으로 접속하는 강유전체 커패시터를 형성한다.
- <33> 바람직하게는, 상기 제1층간절연막 상에 상기 트랜지스터의 소스 및 드레인 영역에 각각 전기적으로 접속하는 매몰 콘택 구조 및 비트라인을 형성하는 단계는, 상기 제1층간절연막을 패터닝하여 상기 소스 및 드레인 영역을 각각 노출시키는 제1콘택홀들을 형성하는 단계와, 상기 콘택홀들 내부 및 상기 제1층간절연막 상에 도전물질을 형성하는 단계와, 그리고 상기 도전물질을 패터닝하여 상기 콘택홀들 내부 및 그 양측의 상기 제1절연막의 일부 상에만 상기 도전물질을 남기는 단계를 포함하여 이루어지며, 상기 제2층간절연막 상에 상기 매몰 콘택 구조에 전기적으로 접속하는 강유전체 커패시터를 형성하는 단계는, 상기 제2층간절연막을 패터닝하여 상기 매몰 콘택 구조 상부를 노출시키는 제2콘택홀을 형성

하는 단계와, 상기 제2콘택홀 및 상기 제2충간절연막 상에 커패시터 하부전극을 형성하는 단계와, 상기 하부전극 상에 커패시터 유전체막을 형성하는 단계와, 상기 유전체막 상에 커패시터 상부전극을 형성하는 단계, 그리고 상기 상부전극, 유전체막 그리고 하부전극을 패터닝하는 단계를 포함하여 이루어진다.

<34> 이때, 상기 제2콘택홀의 직경은 상기 제1콘택홀의 직경보다 상대적으로 더 크게 형성되는 것이 바람직하다. 또한 상기 제2충간절연막 상에 남겨지는 콘택 구조의 크기는 디자인 룰이 허용하는 범위 내에서 최대한 크게 하는 것이 바람직하며 이에 따라 하부전극과의 접촉면적을 그만큼 증가시킬 수 있다.

<35> 상기 커패시터 하부전극은, 제1금속, 상기 제1금속의 산화물, 백금이 차례로 적층되어 형성되거나 이들 도전물질 중 어느 하나로 형성될 수 있으며, 상기 상부전극은 제2금속 산화물/상기 제2금속이 적층되어 형성되거나 이들 도전물질 중 어느 하나로 형성될 수 있고, 상기 강유전체막은, PZT, PLZT, SBT, SBTN, SBT, BaTiO₃, SrTiO₃, Bi₄TiO₁₂, PbTiO₃ 중 어느 하나로 형성될 수 있다. 바람직한 실시예에 있어서, 상기 하부전극은 약 1500Å의 이리듐(Ir), 약 500Å의 이산화 이리듐(IrO₂) 및 약 1500Å의 백금이 차례로 적층되어 형성되고, 상기 상부전극은 약 300Å의 이산화 이리듐 및 약 1200Å의 이리듐이 차례로 적층되어 형성되고, 상기 강유전체막은 약 2000Å의 두께를 가지는 PZT로 형성된다.

<36> 바람직한 실시예에 있어서, 상기 강유전체 커패시터 및 상기 제2충간절연막 상에 반응방지막을 형성하는 단계와, 상기 반응방지막 상에 제3충간절연막을 형성하는 단계와, 상기 제3충간절연막 상에 제1배선을 형성하는 단계와, 상기 제1배선

상에 배선간절연막을 형성하는 단계, 그리고 상기 배선간절연막 상에 상기 커패시터 상부전극에 전기적으로 접속하는 제2배선을 형성하는 단계를 더 포함한다.

<37> 바람직한 실시예에 있어서, 상기 매몰 콘택 구조 및 비트라인을 형성하기 위한 상기 도전물질은 티타늄막/질화티타늄막(Ti/TiN) 구조의 접착막/배리어막 및 텅스텐막(W)이 차례로 증착되어 형성되며, 상기 산소확산방지막은 산화질화실리콘 (SiON), 질화실리콘(SiN), 또는 삼산화 알루미늄(Al_2O_3) 으로 형성되며, 상기 확산방지막은 삼산화 알루미늄 또는 이산화 티타늄으로 형성된다. 상세하게는, 상기 산소확산방지막은 약 100Å에서 약 500Å의 두께 범위로 형성된다.

<38> 상술한 본 발명의 목적을 달성하기 위한 바람직한 공정 구성에 따르는 강유전체 커패시터 형성 방법은, 반도체 기판 상에 소스 영역, 드레인 영역 및 게이트 전극으로 이루어진 트랜지스터를 형성한다. 상기 트랜지스터 및 상기 반도체 기판 상에 제1층간절연막을 형성한다. 상기 제1층간절연막을 패터닝 하여 상기 소스 및 드레인 영역을 각각 노출시키는 제1콘택홀들을 형성한다. 상기 제1콘택홀들을 채우도록 상기 제1층간절연막 상에 도전물질을 형성한다. 상기 도전물질을 패터닝 하여 상기 제1콘택홀들을 통해 상기 소스 및 드레인 영역에 각각 전기적으로 접속하는 매몰 콘택 구조 및 비트라인을 동시에 형성한다. 상기 매몰 콘택 구조 및 비트라인 그리고 상기 제1층간절연막 상에 산소확산방지막을 형성하고 상기 매몰 콘택 구조 및 비트라인을 캡슐화한다. 상기 산소확산방지막 상에 제2층간절연막을 형성한다. 상기 매몰 콘택 구조 상부를 노출시키도록 상기 제2층간절연막 및 상기

산소확산방지막을 패터닝 하여 제2콘택홀을 형성한다. 상기 제2충간절연막 상에 상기 제2콘택홀을 통하여 상기 매물 콘택 구조에 전기적으로 접속하는 강유전체 커패시터를 형성한다.

<39> 더 바람직하게는, 상기 제2콘택홀의 직경은 상기 제1콘택홀의 직경보다 상대적으로 더 크게 형성하여, 하부전극 및 매물 콘택 구조의 접촉면적을 증가시켜 콘택 저항 특성을 향상시킨다.

<40> 더 바람직하게는, 상기 도전물질은 티타늄막/질화티타늄막(Ti/TiN) 구조의 접착막/배리어막 및 텅스텐막(W)이 차례로 증착되어 형성되고, 상기 산소확산방지막은 산화질화실리콘(SiON), 질화실리콘(SiN), 또는 삼산화 알루미늄(Al_2O_3)으로 약 100Å에서 약 500Å의 두께 범위로 형성된다.

<41> 더 바람직하게, 상기 제2콘택홀을 통하여 상기 매물 콘택 구조에 전기적으로 접속하는 강유전체 커패시터를 형성하는 단계는, 상기 제2콘택홀 및 상기 제2충간절연막 상에 커패시터 하부전극을 형성하는 단계와, 상기 커패시터 하부전극 상에 강유전체막을 형성하는 단계와, 상기 강유전체막 상에 커패시터 상부전극을 형성하는 단계와, 그리고 상기 강유전체 상부전극, 강유전체막 그리고 강유전체 하부전극을 패터닝 하는 단계를 포함하여 이루어 진다. 이에 더하여 상기 강유전체 커패시터 및 상기 제2충간절연막 상에 반응방지막을 형성하는 단계와, 상기 반응방지막 상에 제3충간절연막을 형성하는 단계와, 상기 제3충간절연막 상에 제1배선을 형성하는 단계와, 상기 제1배선 상에 배선간절연막을 형성하는 단계와, 그리고, 상기

배선간절연막 상에 상기 커패시터 상부전극에 전기적으로 접속하는 제2배선을 형성하는 단계를 더 포함하는 것이 더 바람직하다. 이때, 상기 하부전극은 약 1500 Å의 이리듐(Ir), 약 500 Å의 이산화 이리듐(IrO_2) 및 약 1500 Å의 백금이 차례로 적층되어 형성되고, 상기 상부전극은 약 300 Å의 이산화 이리듐 및 약 1200 Å의 이리듐이 차례로 적층되어 형성되고, 상기 강유전체막은 약 2000 Å의 두께를 가지는 PZT로 형성된다.

<42> 상술한 본 발명의 목적을 달성하기 위한 강유전체 기억 소자는, 트랜지스터가 형성된 반도체 기판 상에 순차적으로 배치된 제1층간절연막 및 제2층간절연막과, 상기 층간절연막들 사이에 개재하며 상기 제1층간절연막 내에 형성된 제1콘택홀들을 통해 상기 트랜지스터의 소스 및 드레인 영역에 각각 전기적으로 접속하는 매몰 콘택 구조 및 비트라인과, 상기 매몰 콘택 구조 및 비트라인 그리고 상기 제1층간절연막 상에 배치된 산소확산방지막과, 그리고 상기 제2층간절연막 상에 배치되며, 상기 제2층간절연막 및 상기 산소확산방지막을 뚫고 형성된 제2콘택홀을 통해 상기 매몰 콘택 구조에 전기적으로 접속하는 커패시터 하부전극, 강유전체막 그리고 커패시터 상부전극으로 이루어진 강유전체 커패시터를 포함한다.

<43> 바람직하게는, 상기 제2콘택홀의 직경이 상기 제1콘택홀의 직경보다 상대적으로 크게 형성되어 상부전극 및 콘택 구조가 접촉하는 면적을 증가시킨다.

<44> (실시예)

- <45> 본 발명은 강유전체 기억 소자 및 그 형성 방법에 관한 것으로서, 특히 매물 콘택 구조를 통해 강유전체를 트랜지스터의 소스 영역에 연결시킴으로서, 고집적화와 양호한 콘택 저항을 동시에 만족시킨다.
- <46> 이하에서는 첨부되는 도면을 참조하여 본 발명을 보다 상세히 설명한다. 첨부되는 도면은 통상적인 방법에 따라 제조된 실리콘 웨이퍼 중에서 소자가 형성되는 기판의 일부분(이하에서 특별한 언급이 없으면 '반도체 기판'이라 함)의 단면을 나타내며, 본 발명의 보다 나은 이해를 위해서 그리고 도의 간략화를 위해서 반도체 기판에 형성되는 각종 막질의 두께는 다소 과장되게 그려져 있다. 또한 실제적인 반도체 제조 공정은 웨이퍼에 동시에 수많은 개별 소자가 형성되거나 도면에는 단지 두개의 트랜지스터, 하나의 비트라인 및 두개의 강유전체 커패시터, 하나의 제1배선, 그리고 두개의 제2배선만이 도시되어져 있으며 이들 또한 그 단면이 도시되어져 있다.
- <47> 또한 반도체 제조 공정에 통상적으로 사용되며 널리 알려져 있는 소자 분리 공정, 층간절연막 형성 공정, 트랜지스터 공정, 사진 식각 공정 등에 대해서는 자세한 설명을 생략한다.
- <48> 도 2는 본 발명의 바람직한 실시예에 따라 형성된 강유전체 기억 소자를 개략적으로 도시하고 있다.
- <49> 구체적으로 본 발명에 따른 강유전체 기억 소자의 구조를 도2를 참조하여 설명한다. 반도체 기판(200)의 소정 부분에 위치한 소자 분리영역(202)에 의해 활성영역이 한정된다. 상기 반도체 기판(200)의 활성영역 상에 트랜지스터(204)가 위치한다. 상기 트랜지스터(204)는 게이트 전극(참조번호 미표시) 및 그 양

측의 소스 영역(206b) 및 드레인 영역(206a)으로 이루어 진다. 상기 반도체 기판(200) 및 상기 트랜지스터(204) 상에 평탄한 제1층간절연막(208)이 배치되어 있다. 상기 제1층간절연막(208) 내에 형성된 제1콘택홀(210a, 210b)이 형성되어 있고, 상기 제1층간절연막(208) 상에 상기 제1콘택홀(210a, 210b)을 각각 채우는 비트라인(212a) 및 매몰된 콘택 구조(212b)가 배치되어 있다. 상기 제1층간절연막(208), 상기 비트라인(212a) 그리고 상기 매몰된 콘택 구조(212b) 상에 제2층간절연막(216)이 배치되어 있다. 상기 제2층간절연막(216) 상에 강유전체 커패시터(226)가 상기 매몰 콘택 구조(212b)에 전기적으로 접속하도록 배치된다. 여기서, 상기 강유전체 커패시터(226)는 하부전극(220), 강유전체막(222) 및 상부전극(224)이 차례로 적층되어 이루어 지며, 상기 하부전극(220)이 상기 매몰 콘택 구조(212b)에 상기 제2층간절연막(216) 내에 형성된 제2콘택홀(218)을 통해 전기적으로 접속한다. 또한 상기 비트라인(212a)을 포함하여 상기 매몰 콘택 구조(212b)를 완전히 감싸도록 상기 제1층간절연막(208) 상에 산소 확산방지막(212)이 배치되며, 물론 상기 매몰 콘택 구조(212b)와 상기 하부전극(220)이 접촉하는 부분에는 산소 확산방지막이 존재하지 않는다. 즉, 상기 매몰 콘택 구조(212b)와 상기 하부전극(220)이 접촉하는 부분을 제외하고는 상기 매몰 콘택 구조(212b)가 완전히 상기 산소방지막(214)으로 둘러싸여 보호된다.

<50> 상기 강유전체 커패시터(226) 및 상기 제2층간절연막(216) 상에 제3층간절연막(230)이 배치되어 있고, 상기 제3층간절연막(230) 상에 제1배선(232)이 배치되어 있다. 비록 도시되지는 않았지만 상기 제1배선은 트랜지스터의 게이트 전극에 전

기적으로 연결되어 있다. 상기 제1배선(232)을 포함하여 상기 제3층간절연막(230) 상에 배선간 절연막(234)이 배치되어 있고, 상기 배선간 절연막(234) 상에 상기 배선간 절연막(234) 및 상기 제3층간절연막(230)을 뚫고 제2배선(238)이 배치되어 있고, 상기 배선간 절연막(234) 및 상기 제2배선(238) 상에 패시베이션막(240)이 배치되어 있다.

<51> 도시된 바와 같이, 본 발명에 따른 강유전체 기억 소자의 구조적인 특징으로 첫째, 상기 강유전체 커패시터(226)가, 더 상세하게는 그 하부전극(220)이 상기 절연막들(208:제1층간절연막 및 216:제2층간절연막)내에 매몰된 콘택 구조(212b)를 통해 상기 트랜지스터(204)의 소스 영역(206b)에 전기적으로 접속된다는 것이고, 둘째, 상기 산소확산방지막(214)이 상기 매몰 콘택 구조(212b)를 완전히 감싸고 있다(캡슐화)는 것이고, 더 상세하게는 상기 산소확산방지막(214)이 상기 매몰 콘택 구조(212b) 뿐 아니라 상기 비트라인(212a) 및 제1층간절연막(208) 상에도 형성되어 있다는 것이고, 셋째, 제1층간절연막(208) 내에 형성된 콘택홀((210b:제1콘택홀, 210a:제2콘택홀), 이는 종래 도 1에 나타난 콘택홀(118)에 대응)) 보다 상대적으로 더 큰 직경을 갖도록 콘택홀(218:제3콘택홀)이 상기 제2층간절연막 내에 형성되어 상기 하부전극(220) 및 상기 매몰 콘택 구조(212b) 사이를 전기적으로 연결시킴으로서 이들 사이의 접촉면이 종래에 비해 증가한다는 것이고, 넷째, 상기 제2층간절연막(216)이 종래의 도 1의 절연막(114, 약 3000Å 에서 약 5000Å)에 비해 상대적으로 얇게 약 1000Å 또는 그 이하로 형성되어 하부전극(220)과 소스 영역(206b) 사이의 물리적인 거리가 종래에 비해 줄어드는 점, 다섯째, 상기 매몰

콘택 구조(212b)가 상기 비트라인(212a)과 동일 물질인 텅스텐으로 형성되어 종래 폴리실리콘 콘택플러그에 비해 비저항이 감소하며, 또한 근본적으로 절연성막인 이산화 실리콘이 매몰 콘택 구조(212b) 및 하부전극(220) 사이의 계면에 생성되지 않는다는 것을 들 수 있다.

<52> 바람직한 실시예에 있어서, 상기 산소확산방지막(214)은 산화질화실리콘(SiON), 질화실리콘(SiN), 또는 삼산화 알루미늄(Al_2O_3)으로 약 100Å에서 약 500Å의 두께 범위로 형성되고, 상기 매몰 콘택 구조(212b) 및 비트라인(212a)은 티타늄막/질화티타늄막(Ti/TiN) 구조의 접착막/배리어막 및 텅스텐막(W)이 차례로 증착되어 형성되고, 상기 하부전극은 약 1500Å의 이리듐(Ir), 약 500Å의 이산화 이리듐(IrO_2) 및 약 1500Å의 백금이 차례로 적층되어 형성되고, 상기 상부전극은 약 300Å의 이리듐 및 약 1200Å의 이산화 이리듐이 차례로 적층되어 형성되고, 상기 강유전체막은 약 2000Å의 두께를 가지는 PZT로 형성된다. 이에 더하여 상기 강유전체 커패시터(226)를 감싸는 삼산화 알루미늄 또는 이산화 티타늄으로 형성되는 확산방지막(228)을 더 포함한다.

<53> 상기 제1배선(232) 및 제2배선(238)은 전기적 특성이 우수한 알루미늄으로 형성하는 것이 바람직하며, 상기 제2배선(238)은 플레이트 라인으로 사용되고, 상기 제1배선(232)은 워드라인, 즉 트랜지스터(204)의 게이트의 저항 문제를 보상하기 위해서 각 워드라인 상에 같은 방향으로 형성되는 것으로서 비록 도시되지는 않았지만, 해당되는 워드라인에 주기적으로 전기적인 접촉을 하고 있다.

<54> 이제부터는 상술한 강유전체 기억 소자를 형성하는 방법을 도 3a에서부터 도 3j를 참조하여 상세히 설명한다.

- <55> 먼저 도 3a를 참조하면, 반도체 기판(200)이 준비되고, 소정의 영역에 활성 영역이 잘 알려진 소자분리 공정에 의한 소자격리영역(202)에 의해 정의된다. 여기서, 활성영역이란 후속 공정 등에서 전기적 연결이 이루어 지는 곳을 말한다. 소자분리공정은 예를 들면, 국소적 실리콘 산화 공정(Local Oxidation of Silicon), 얇은 트렌치 형성(Shallow Trench Isolation) 공정 등이 있다. 이는 통상적인 공정으로 자세한 설명을 생략한다.
- <56> 소자분리공정으로 활성영역이 정의되면, 트랜지스터 형성 공정이 수행된다. 상기 실리콘 기판(200)과의 전기적 절연을 위한 게이트 산화막(참조번호 미표시)이 형성된다. 다음 게이트 전극막 및 캐핑막(참조번호 미표시)이 증착되고 패터닝되어 게이트 전극이 형성된다. 그리고 나서 통상적인 이온주입공정이 수행되고 열처리가 진행되어 불순물 확산 영역인 소스(206b) 및 드레인(206a) 영역이 게이트 전극 양측에 형성된다. 다음 게이트 전극 양측에 게이트 스페이서(참조번호 미표시)가 형성되어 트랜지스터(204)를 완성한다.
- <57> 다음, 상기 트랜지스터(204)를 포함하여 상기 실리콘 기판(200)상에 평탄화된 제1충간절연막(208)이 형성된다. 상기 제1충간절연막은 통상적으로 CVD (chemical vapor deposition) 방법에 의한 산화막으로 형성되며, 평탄화된 이후의 두께는 약 4000Å 에서 약 6000Å 범위이다. 예를 들어, BPSG (borophosphosilicate glass), USG(undoped silicate glass), PE-TEOS(plasma enhance tetraethylorthosilicate glass)등으로 형성될 수 있다.
- <58> 다음 공정은 강유전체 기억 소자의 데이터 라인인 비트라인 형성 공정 및 매몰 콘택 구조 공정이 진행되며 도 3b 및 도 3c에 개략적으로 도시되어 있다.

먼저 도 3b를 참조하면, 상기 소스(206b) 및 드레인 영역(206a)을 노출시키도록 상기 제1층간절연막(208)이 패터닝 되어 제1콘택홀 210a 및 210b가 형성된다. 상기 제1콘택홀 210a는 상기 드레인 영역(206a)을 노출시키고 상기 제1콘택홀 210b는 상기 소스 영역(206b)을 노출시킨다. 즉, 본 발명에 따르면 동시에 소스 영역(206b) 및 드레인 영역(206a)을 노출시키는 콘택홀들이 형성된다.

<59> 다음 도 3c를 참조하면, 상기 콘택홀들(210b, 210a)을 완전히 채우도록 상기 제1층간절연막(208) 상에 도전물질, 예컨대 텅스텐이 형성된다. 계속하여 사진 식각 공정으로 상기 형성된 도전물질을 패터닝 하여 상기 소스 영역(206b)에 전기적으로 연결되는 매몰 콘택 구조(212b) 및 상기 드레인 영역(206a)에 전기적으로 연결되는 비트라인(212a)을 각각 형성한다. 여기서 상기 텅스텐을 형성하기 전에 반응방지/접착막으로 Ti/TiN막을 더 형성하는 것이 바람직하다. 패터닝의 결과 콘택홀 상부 주변의 상기 제1층간절연막(208) 일부 및 상기 제1콘택홀들 내부에만 도전물질이 남게 된다. 따라서 형성된 매몰 콘택 구조(212b)의 상부 직경은 대응되는 제1콘택홀(210b)의 직경보다 상대적으로 크게 된다. 이로 인해 후속 공정으로 형성되는 하부전극과의 접촉면이 증가하게 됨은 물론, 사진 식각 공정의 마진도 증가하게 된다.

<60> 다음 도 3d를 참조하면, 상기 매몰 콘택 구조(212b), 상기 비트라인(212a) 및 상기 제1층간절연막(208) 상에 산소확산방지막(214)이 형성된다. 이로써, 상기 매몰 콘택 구조(212b)는 상기 산소확산방지막(214)으로 완전히 둘러싸이게(캡슐화)된다. 물론 상기 비트라인(212a)도 캡슐화된다. 상기 산소확산방지막(214)은 강력한 산화방지막인 산화질화실리콘(SiON), 질화실리콘(SiN), 또는 삼

산화 알루미늄 (Al_2O_3) 으로 형성된다. 산화질화실리콘 및 질화실리콘의 경우 화학적기상증착법에 의해 형성하고, 삼산화 알루미늄의 경우 원자층 증착법 (ALD:atomic layer deposition)에 의해 형성하는 것이 바람직하다. 여기에 열거된 것은 단지 예시적인 것에 지나지 아니하며, 산소의 확산을 방지할 수 있는 절연막이면 어느 것이나 가능하다. 바람직하게는, 약 100Å에서 약 500Å의 두께 범위로 형성된다. 다음 상기 비트라인(212a)을 절연시키기 위해 상기 산소확산 방지막(214) 상에 평탄화된 제2층간절연막 (216)이 형성된다. 상기 제2층간절연막(216)은 통상적으로 CVD 방법에 의한 산화막으로 형성되며, 상기 제1층간절연막(208)과 동일한 막질로 형성할 수 있다. 평탄화된 이후의 두께는 바람직하게는 약 1000Å 또는 그 이하로 형성된다. 후속 커패시터 하부전극과 상기 매물 콘택 구조(212b)와의 접촉을 원활히 하고 그 접촉 형성을 위한 콘택홀을 하부전극이 완전히 채우도록 하기 위해서 얇게 형성하는 것이 바람직하다.

<61> 다음 도 3e를 참조하면, 상기 제2층간절연막(216) 및 상기 산소확산방지막(214)을 패터닝 하여 상기 매물 콘택 구조(212b)를 노출시키는 제2콘택홀(218)을 형성한다. 여기서 상기 제2콘택홀(218)은 상기 제1콘택홀(210b, 210a)보다 상대적으로 더 크게 형성되며, 그 종횡비 또한 더 작다. 바람직하게는 상기 상부 콘택 구조(212b) 상부 전면을 노출시키는 것이 좋으며, 이로 인해 하부전극과의 접촉면적을 증가시켜 콘택 저항 특성을 향상 시킬 수 있다.

<62> 다음 도 3f를 참조하면, 상기 제2콘택홀(218)이 형성된 결과물 전면에 강유전체 커패시터 하부전극(220), 강유전체막(222) 및 상부전극(224)이 차례로 형성된다. 계속 해서 상기 막질들(224, 222, 220)을 차례로 패터닝 하여 도 3g에 나

타난 바와 같이 상기 매몰 콘택 구조(212b)에 전기적으로 접속하는 강유전체 커패시터(226)를 형성한다. 더 상세하게, 상기 하부전극(220)으로 이리듐(Ir), 로듐(Rd), 루세늄(Ru) 또는 백금(Pt) 등의 금속 단일 층을 사용하거나, 이들 금속 및 이들의 산화물 금속의 조합막을 사용할 수 있다. 바람직하게는 금속, 금속 산화물, 백금이 차례로 적층되어 형성된 다층막을 사용하며 구체적으로 본 발명의 바람직한 실시예에 있어서는 이리듐/이산화 이리듐(IrO_2)/백금막을 사용한다. 더 구체적으로 상기 이리듐은 스퍼터링 방법을 이용하여 약 $1,500\text{\AA}$ 의 두께로 형성하고, 상기 이산화 이리듐은 약 500\AA 의 두께를 가지도록 스퍼터링 방법으로 증착하고, 안정적인 산화막전극을 형성하기 위해 산소 분위기에서 열처리가 진행된다. 백금은 약 $1,500\text{\AA}$ 의 두께를 가지도록 스퍼터링 방법 등에 의해 형성한다. 백금은 후속 공정으로 증착되는 강유전체막의 결정화에 유리한 격자 구조를 제공하여 보다 안정적인 강유전체막 형성에 도움을 준다.

<63> 상기 강유전체막(222)은, 예컨대, PZT(lead zirconium titanate), PLZT(lead lanthanum zirconate titanate), SBT(strontium barium tantanlum), SBTN(strontium barium tantalum nitride), SBTT(strontium barim tantalium titanate), BaTiO_3 , SrTiO_3 , $\text{Bi}_4\text{TiO}_{12}$, PbTiO_3 등으로 형성되며, 바람직한 실시예에 있어서 PZT가 약 2000\AA 의 두께로 솔-겔 방법 또는 화학적기상증착법 등에 의해 증착된다. 주지하는 바와 같이 상기 PZT막이 강유전체 특성을 나타내게 하기 위한 결정화 열처리를 고온 산소 분위기에서 진행한다.

<64> 한편, 상부전극(224)은 금속 산화물, 금속 전극이 차례로 적층되어 형성된 다층으로 형성되는 것이 바람직하며, 바람직한 실시예에 있어서는 이산화 이리듐

/이리듬으로 형성된다. 더 구체적으로 이산화 이리듬이 약 300Å의 두께를 가지도록 스퍼터링 방법으로 형성되고, 이리듬이 스퍼터링 방법으로 약 1,200Å 두께를 가지도록 형성하고, 안정적인 산화막전극을 형성하기 위해 산소 분위기에서 열처리가 진행된다.

<65> 또한 상기 상부전극(224)으로 전술한 하부전극과 동일한 물질로 형성할 수도 있다. 설명의 간략화를 위해 이의 설명은 생략한다.

<66> 다음으로, 도 3h에 나타난 바와 같이, 강유전 커패시터 안/밖으로 물질이동을 방지하기 위한 반응 방지막(228)이 증착된다. 그리고 나서 상기 반응 방지막(228)의 특성을 강화시키기 위한 열처리 공정이 산소분위기에서 진행된다. 예를 들면 상기 반응 방지막(228)은, 이산화 티타늄, 삼산화 알루미늄(Al_2O_3) 등으로 형성된다.

<67> 본 발명에 따르면, 종래의 폴리실리콘 콘택플러그 구조와는 달리 텅스텐 매몰 콘택 구조를 취하고 있으며, 또한 그 상부가 산소확산방지막으로 완전히 캡슐화되어 있기 때문에, 이산화 이리듬 증착후 또는 강유전체막 증착 후 또는 확산방지막 증착 후 고온 산소 분위기의 열처리 공정 동안 매몰 콘택 구조의 산화는 일어나지 않는다. 더구나, 매몰 콘택 구조가 텅스텐으로 형성되어 근본적으로 이산화 실리콘 같은 절연막이 형성될 수 없다.

<68> 다음 공정은 제1배선 형성공정으로 도 3i에 개략적으로 나타나 있다. 도시된 바와 같이 반응 방지막(228) 형성후 제3층간절연막(230)이 형성된다. 그리고 나서 트랜지스터의 게이트 전극의 전기전도성 향상을 위해 금속이 증착되고 패터닝 되어 제1배선을 형성한다. 바람직하게 상기 제1배선은 알루미늄으로 형성

된다. 비록 도시하지는 않았지만, 상기 제1배선은 게이트 상부에 그것과 나란히 형성되며 소정 부분에서 전기적으로 연결된다.

<69> 다음 공정은 제2배선(플레이트 라인:plate line) 형성공정으로, 도 3j에 나타난 바와 같이, 상기 제1배선(232) 형성 후, 이를 절연시키기 위한 배선간절연막(234)을 형성한다. 그리고 나서, 상기 강유전 커패시터의 상부전극(224)과 전기적으로 연결되는 제2배선이 도 2에 나타난 바와 같이 형성된다. 좀 더 구체적으로 도 2를 참조하여 살펴보면, 상기 배선간절연막(234), 제3층간절연막(230) 및 반응 방지막(228)을 패터닝 하여 상기 상부전극(224)을 노출시키는 비아홀(236)을 형성한 후, 금속물질, 바람직하게는 알루미늄을 증착하고 패터닝 하여 형성한다.

<70> 후속 공정으로 상기 제2배선(238)을 절연시키기 위한 절연막인 패시베이션막(240)이 도 2에 도시된 바와 같이 형성된다.

<71> 바람직한 실시예에 의거하여 본 발명이 기술되었지만, 본 발명의 범위는 여기에 한정되는 것은 아니다. 오히려, 다양한 변형 및 비슷한 배열들도 포함한다. 본 발명은 강유전체 하부전극이 트랜지스터의 소스 영역에 연결되어야 하는 모든 강유전체 기억소자 형성 방법에 적용될 수 있다. 따라서 본 발명의 청구범위의 진정한 범위 및 사상은 다양한 변형 및 비슷한 배열을 포함할 수 있도록 가장 넓게 해석되어야 한다.

【발명의 효과】

- <72> 본 발명에 따른 강유전체 기억 소자에 따르면, 강유전체 커패시터가, 더 상세하게는 그 하부전극이 절연막내에 매몰된 콘택 구조를 통해 상기 트랜지스터의 소스 영역(206b)에 전기적으로 접속되고 또한 산소확산방지막이 상기 매몰 콘택 구조를 완전히 감싸고(캡슐화)있기 때문에, 강유전체막 증착 후 진행되는 고온 산소분위기의 열처리 기타 집적 공정에서 진행되는 산소 분위기의 열처리 공정에서 산소의 침투를 효과적으로 방지할 수 있다.
- <73> 또한 상기 매몰 콘택 구조가 비트라인과 동일 물질인 텅스텐으로 형성되어 종래 폴리실리콘 콘택플러그에 비해 비저항이 감소하며, 또한 근본적으로 절연성 막인 이산화 실리콘이 매몰 콘택 구조 및 하부전극 사이의 계면에 생성되지 않는다.
- <74> 게다가, 상기 매몰 콘택 구조의 상부 전면이 하부전극과 접할 수 있어 하부전극 및 매몰 콘택 구조 사이의 접촉면을 종래 콘택플러그 직경에 제한된 것과 비교할 때, 증가시킬 수 있다.
- <75> 또한 상술한 강유전체 기억 소자의 구조 상의 특징으로 인해 본 발명에 따른 강유전체 기억 소자 형성 방법은 다음과 같은 몇 가지 공정상의 이점 내지 장점이 있다.
- <76> 첫째, 매몰 콘택 구조를 도입함으로써, 제1콘택홀(매몰 콘택 구조용) 및 제2콘택홀(비트라인용)이 제1층간절연막 내에 형성되고 이로 인해, 이들 콘택홀 형성을 위한 종횡비는 종래 콘택플러그용 콘택홀의 그것과 비교할 때, 낮으며 따

라서 폴리실리콘에 비해 증착특성은 열등하지만 전기적 특성은 우수한 텅스텐을 매몰 콘택 구조로 사용할 수 있으며, 종래 증황비가 큰 콘택홀을 텅스텐으로 증착할 경우 발생하던 오버행(overhang) 문제 등은 발생하지 않는다.

<77> 둘째, 통상적인 비트라인 공정에서 동시에 매몰 콘택 구조를 형성할 수 있어 공정의 단순화를 기할 수 있다.

【특허청구범위】

【청구항 1】

반도체 기판 상에 소스 영역, 드레인 영역 및 게이트 전극으로 이루어진 트랜지스터를 형성하는 단계;

상기 트랜지스터 및 상기 반도체 기판 상에 제1충간절연막을 형성하는 단계;

상기 제1충간절연막을 패터닝 하여 상기 소스 및 드레인 영역을 각각 노출시키는 제1콘택홀들을 형성하는 단계;

상기 제1콘택홀들을 채우도록 상기 제1충간절연막 상에 도전물질을 형성하는 단계;

상기 도전물질을 패터닝 하여 상기 제1콘택홀들을 통해 상기 소스 및 드레인 영역에 각각 전기적으로 접속하는 매몰 콘택 구조 및 비트라인을 형성하는 단계;

상기 매몰 콘택 구조 및 상기 비트라인 그리고 상기 제1충간절연막 상에 산소 확산방지막을 형성하는 단계;

상기 산소확산방지막 상에 제2충간절연막을 형성하는 단계;

상기 매몰 콘택 구조 상부를 노출시키도록 상기 제2충간절연막 및 상기 산소 확산방지막을 패터닝 하여 제2콘택홀을 형성하는 단계; 및

상기 제2층간절연막 상에 상기 제2콘택홀을 통하여 상기 매몰 콘택 구조에 전기적으로 접속하는 강유전체 커패시터를 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 도전물질은 티타늄막/질화티타늄막(Ti/TiN) 구조의 접착막/배리어막 및 텅스텐막(W)이 차례로 증착되어 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 3】

제 1 항에 있어서,

상기 제2콘택홀의 직경은 상기 제1콘택홀의 직경보다 상대적으로 더 크게 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 4】

제 1 항에 있어서,

상기 산소 확산방지막은 산화질화실리콘(SiON), 질화실리콘(SiN), 또는 삼산화 알루미늄(Al_2O_3) 으로 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 5】

제 1 항에 있어서,

상기 제2콘택홀을 통하여 상기 매물 콘택 구조에 전기적으로 접속하는 강유전체 커패시터를 형성하는 단계는,

상기 제2콘택홀 및 상기 제2층간절연막 상에 커패시터 하부전극을 형성하는 단계;

상기 커패시터 하부전극 상에 강유전체막을 형성하는 단계;

상기 강유전체막 상에 커패시터 상부전극을 형성하는 단계; 및

상기 강유전체 상부전극, 강유전체막 그리고 강유전체 하부전극을 패터닝하는 단계를 포함하여 이루어 지는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 6】

제 1 항 또는 제 5 항에 있어서,

상기 강유전체 커패시터 및 상기 제2층간절연막 상에 반응방지막을 형성하는 단계;

상기 반응방지막 상에 제3층간절연막을 형성하는 단계;

상기 제3층간절연막 상에 제1배선을 형성하는 단계;

상기 제1배선 상에 배선간절연막을 형성하는 단계; 및

상기 배선간절연막 상에 상기 커패시터 상부전극에 전기적으로 접속하는 제2배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 7】

제 6 항에 있어서,

상기 반응 방지막은 삼산화 알루미늄 또는 이산화 티타늄으로 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 8】

반도체 기판 상에 트랜지스터를 형성하는 단계;

상기 트랜지스터 및 상기 반도체 기판 상에 제1층간절연막을 형성하는 단계;

상기 제1층간절연막 상에 상기 트랜지스터의 소스 및 드레인 영역에 각각 전기적으로 접속하는 매물 콘택 구조 및 비트라인을 형성하는 단계;

상기 매물 콘택 구조 및 비트라인이 형성된 결과물 전면에 산소 확산방지막을 형성하는 단계;

상기 산소 확산방지막 상에 제2층간절연막을 형성하는 단계; 및

상기 제2층간절연막 상에 상기 매물 콘택 구조에 전기적으로 접속하는 강유전체 커패시터를 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 9】

제 8 항에 있어서,

상기 제1층간절연막 상에 상기 트랜지스터의 소스 및 드레인 영역에 각각 전기적으로 접속하는 매물 콘택 구조 및 비트라인을 형성하는 단계는,

상기 제1층간절연막을 패터닝 하여 상기 소스 및 드레인 영역을 각각 노출시키는 제1콘택홀들을 형성하는 단계;

상기 제1콘택홀들 내부 및 상기 제1층간절연막 상에 도전물질을 형성하는 단계; 및

상기 도전물질을 패터닝 하여 상기 콘택홀들 내부 및 그 양측의 절연막의 일부 상에만 상기 도전물질을 남기는 단계를 포함하여 이루어 지는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 10】

제 9 항에 있어서,

상기 제2층간절연막 상에 상기 매몰 콘택 구조에 전기적으로 접속하는 강유전체 커패시터를 형성하는 단계는,

상기 제2층간절연막을 패터닝 하여 상기 매몰 콘택 구조 상부를 노출시키는 제2콘택홀을 형성하는 단계;

상기 제2콘택홀 및 상기 제2층간절연막 상에 커패시터 하부전극을 형성하는 단계;

상기 하부전극 상에 커패시터 유전체막을 형성하는 단계;

상기 유전체막 상에 커패시터 상부전극을 형성하는 단계; 및

상기 상부전극, 유전체막 그리고 하부전극을 패터닝 하는 단계를 포함하여 이루어 지는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.



【청구항 11】

제 10 항에 있어서,

상기 제2콘택홀의 직경은 상기 제1콘택홀의 직경보다 상대적으로 더 크게 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 12】

제 10 항에 있어서,

상기 강유전체 커패시터 및 상기 제2층간절연막 상에 반응방지막을 형성하는 단계;

상기 반응방지막 상에 제3층간절연막을 형성하는 단계;

상기 제3층간절연막 상에 제1배선을 형성하는 단계;

상기 제1배선 상에 배선간절연막을 형성하는 단계; 및

상기 배선간절연막 상에 상기 커패시터 상부전극에 전기적으로 접속하는 제2배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 13】

제 12 항에 있어서,

상기 도전물질은 티타늄막/질화티타늄막(Ti/TiN) 구조의 접착막/배리어막 및 텅스텐막(W)이 차례로 증착되어 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 14】

제 12 항 또는 제 13 항에 있어서,

상기 산소 확산방지막은 산화질화실리콘(SiON), 질화실리콘(SiN), 또는 삼산화 알루미늄(Al_2O_3) 으로 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 15】

제 14 항에 있어서,

상기 반응방지막은 삼산화 알루미늄 또는 이산화 티타늄으로 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 16】

반도체 기판 상에 제1층간절연막을 형성하는 단계;

상기 제1층간절연막의 소정 영역을 관통하는 제1콘택홀을 통해 상기 반도체 기판과 전기적으로 접속된 매물 콘택 구조를 상기 제1층간절연막 상에 형성하는 단계;

상기 매물 콘택 구조 및 상기 제1층간절연막 상에 산소 확산방지막을 형성하여 상기 매물 콘택 구조를 캡슐화 하는 단계;

상기 산소 확산방지막 상에 제2층간절연막을 형성하는 단계; 및

상기 제2층간절연막 상에 상기 제2층간절연막 및 상기 산소 확산방지막의 소정 영역을 관통하는 제2콘택홀을 통하여 상기 매물 콘택 구조와 전기적으로 접

속된 강유전체 커패시터를 형성하는 단계를 포함하는 강유전체 기억 소자 형성 방법.

【청구항 17】

제 16 항에 있어서,

상기 산소 확산방지막은 산화질화실리콘(SiON), 질화실리콘(SiN), 또는 삼산화 알루미늄(Al_2O_3) 으로 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 18】

제 16 항에 있어서,

상기 제2콘택홀의 직경은 상기 제1콘택홀의 직경보다 상대적으로 더 크게 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 19】

제 16 항에 있어서,

상기 매물 콘택 구조는 텅스텐막으로 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 20】

제 16 항에 있어서,

상기 매물 콘택 구조를 형성하는 단계는 동시에 상기 제1충간절연막 상에 상기 반도체 기판과 전기적으로 접속하는 비트라인을 상기 매물 콘택 구조와 동일한 물질로 형성하는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 21】

반도체 기판 상에 형성된 제1층간절연막;

상기 제1층간절연막 상에 형성되고, 상기 제1층간절연막의 소정 영역을 관통하는 제1콘택홀을 통하여 상기 반도체 기판과 전기적으로 접속된 매몰 콘택 구조;

상기 매몰 콘택 구조 및 상기 제1층간절연막을 덮는 산소 확산방지막;

상기 산소 확산방지막 상에 형성된 제2층간절연막; 및

상기 제2층간절연막 상에 형성되고, 상기 제2층간절연막 및 상기 산소 확산방지막의 소정 영역을 관통하는 제2콘택홀을 통하여 상기 매몰 콘택 구조와 전기적으로 접속된 강유전체 커패시터를 포함하는 강유전체 기억 소자.

【청구항 22】

제 21 항에 있어서,

상기 산소 확산방지막은 산화질화실리콘(SiON), 질화실리콘(SiN), 또는 삼산화 알루미늄(Al_2O_3) 으로 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 23】

제 21 항에 있어서,

상기 제2콘택홀의 직경은 상기 제1콘택홀의 직경보다 상대적으로 더 크게 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【청구항 24】

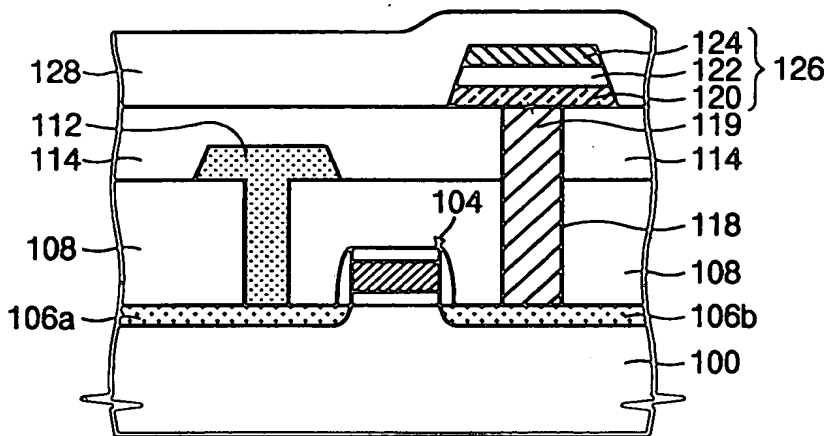
제 21 항에 있어서,

상기 매몰 콘택 구조는 텅스텐막으로 형성되는 것을 특징으로 하는 강유전
체 기억 소자 형성 방법.

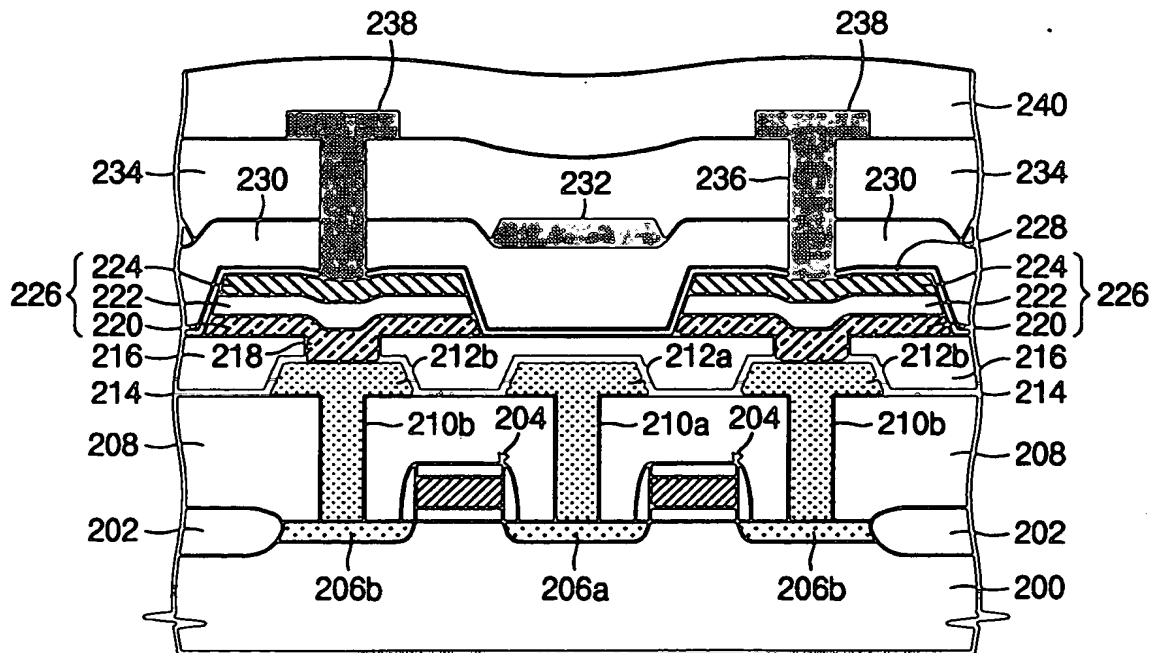
【도면】

【도 1】

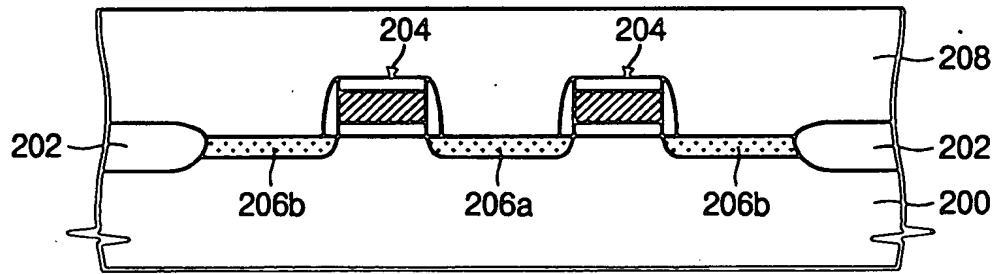
(종래 기술)



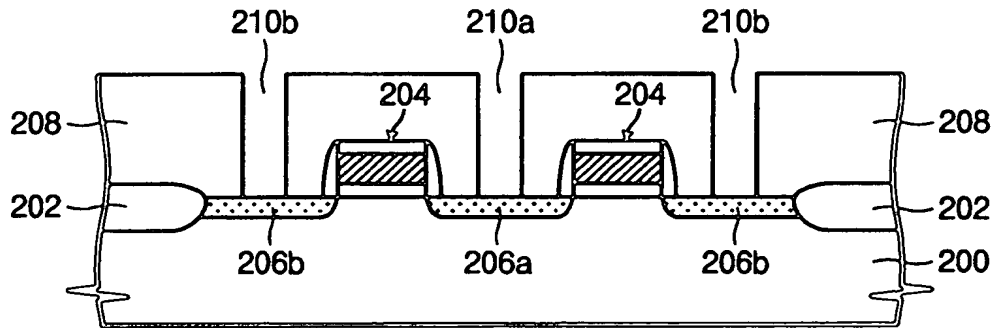
【도 2】



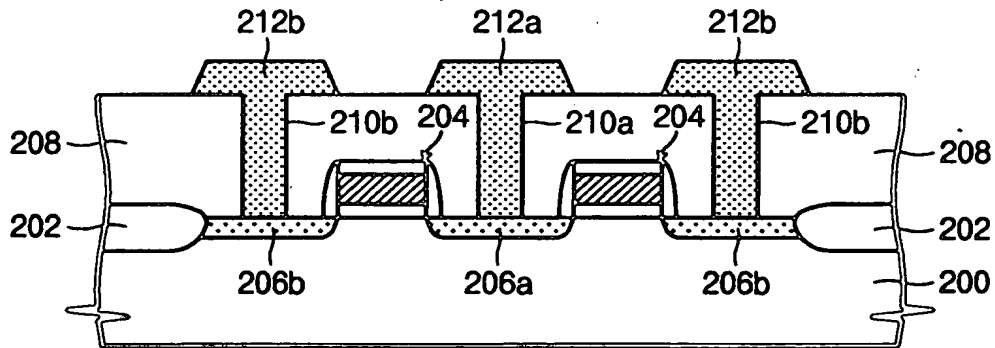
【도 3a】



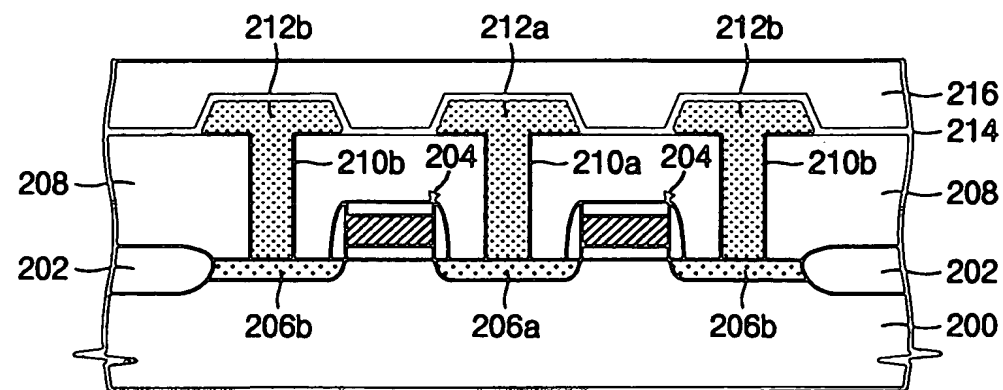
【도 3b】



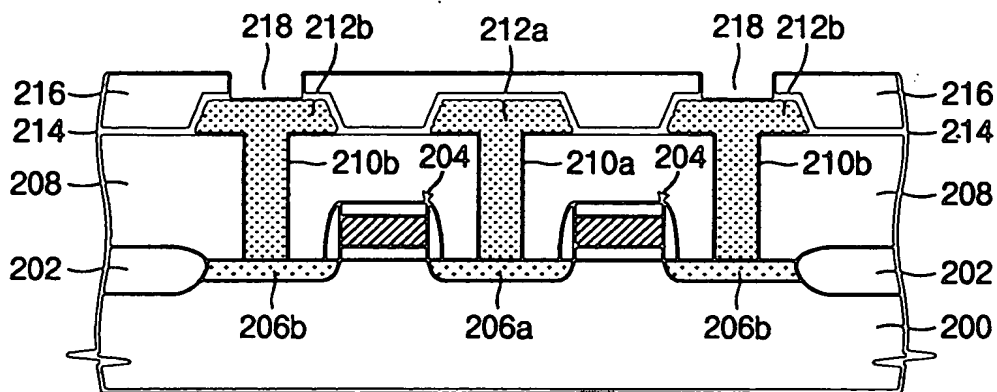
【도 3c】



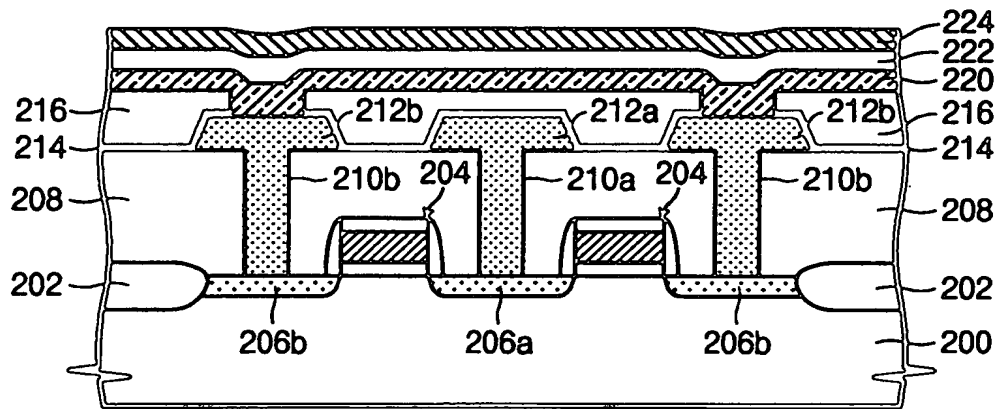
【도 3d】



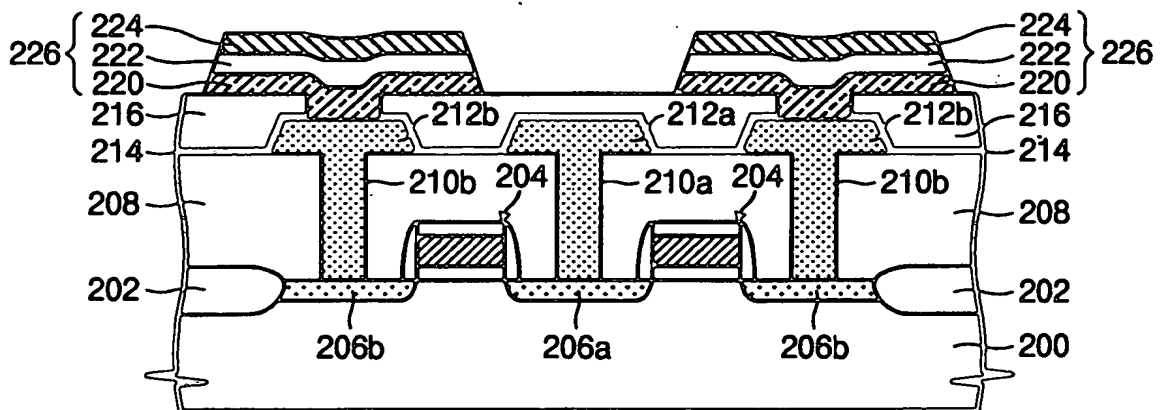
【도 3e】



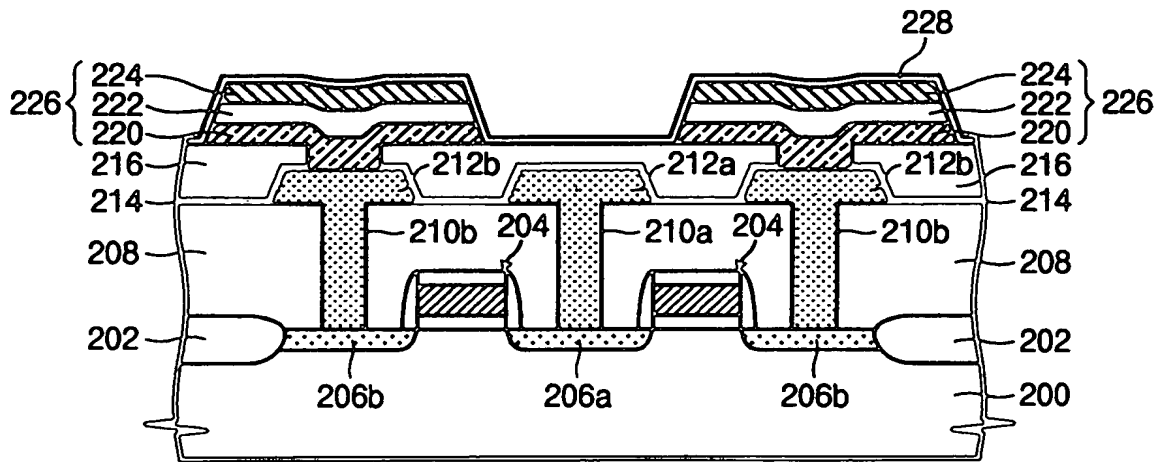
【도 3f】



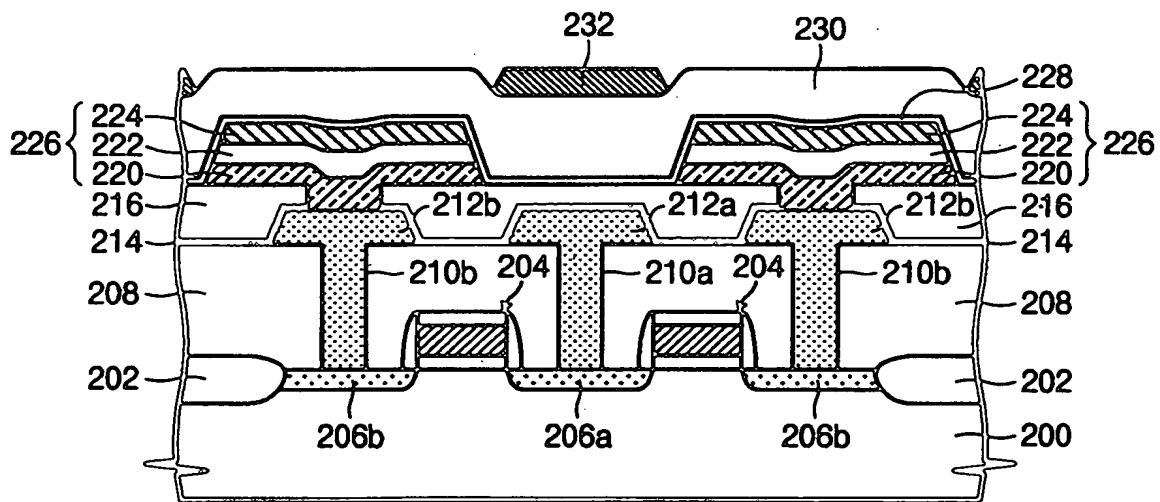
【도 3g】



【도 3h】



【도 3i】



【도 3j】

